

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Se-Ho Lee

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **PHASE-CHANGEABLE DEVICES HAVING AN INSULATING BUFFER
LAYER AND METHODS OF FABRICATING THE SAME**

Date: July 16, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

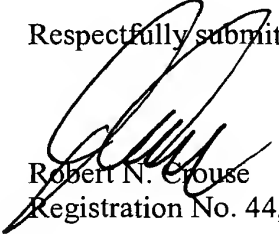
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0050120, filed August 23, 2002.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400

Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353592334

Date of Deposit: July 16, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Traci A. Brown

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0050120
Application Number

출원년월일 : 2002년 08월 23일
Date of Application AUG 23, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

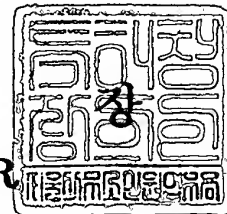
2003 년 03 월 14 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.06
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0050120
【출원일자】	2002.08.23
【심사청구일자】	2002.08.23
【발명의 명칭】	상전이 기억 소자 구조 및 그 제조 방법
【제출원인】	
【접수번호】	1-1-02-0273116-84
【접수일자】	2002.08.23
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】**【보정료】** 0 원**【추가심사청구료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】** 1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

도1a는 통상적인 상전이 기억 소자 구조를 설명하기 위한 상전이 기억 셀 하나를 개략적으로 도시한 반도체 기판의 단면도이다. 도1a를 참조하면, 통상적인 상전이 기억 소자는 하부 도전막 패턴, 즉 하부전극(10), 상기 하부전극(10) 상에 배치된 실리콘 산화막(12), 상기 실리콘 산화막(12) 내에 형성된 콘택 플러그(14, 이하 "히터 플러그"라 함)를 통해서 상기 하부전극(10)에 전기적으로 연결되는 상전이 물질막 패턴(16) 및 상기 상전이 물질막 패턴(16) 상에 배치된 상부 도전막 패턴, 즉 상부전극(18)을 포함한다. 이와 같은 통상적인 상전이 기억 소자에서, 상기 하부전극(10) 및 상부전극(18) 사이에 전류가 흐르면, 상기 히터 플러그(14)와 상기 상전이 물질막 패턴(16)이 접촉하는 면(20, 이하에서 '활성 접촉면'이라 함)을 통과하는 전류 세기에 따라 상기 활성 접촉면(20) 주위의 상전이 물질의 결정 상태가 변한다. 도1b에 결정 상태가 변하는 영역(16a)을 개략적으로 도시하였다. 화살표로 표시된 바와 같이, 히터 플러그(14) 상부에서 수평 및 수직 방향으로 결정 상태의 변화가 일어난다.

【보정대상항목】 식별번호 30

【보정방법】 정정

【보정내용】

상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는, 절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과, 상기 하부전극 및

상기 절연막 상에 배치된 하부 절연막과, 상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와, 상기 하부 절연막 상에 배치되고 상기 히터 플러그 중심을 향해 연장하여 상기 히터 플러그 상부 표면 일부를 노출시키는 개구부를 한정하는 버퍼 절연막 패턴과, 상기 개구부를 채우며 상기 버퍼 절연막 상에 배치된 상전이 물질막 패턴과, 상기 상전이 물질막 패턴 상에 배치된 상부전극을 포함하는 것이 바람직하다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

상기 상부전극(400a) 상에 상부 절연막(420)을 사이에 두고 금속 배선(460a)이 배치된다. 상기 금속 배선(460a)은 상기 상부 절연막(420)을 뚫고 상기 상부전극(400a)에 접하는 콘택 플러그(440)의 상부에 접한다. 따라서 상기 금속 배선(460a)은 상기 상부전극(400a)에 전기적으로 연결된다. 또 상기 하부전극(220a)은 절연막(180)을 사이에 두고, 반도체 기판(100)의 불순물 확산영역(140)에 전기적으로 연결된다. 상기 절연막(180)을 관통하는 콘택 플러그(200)가 상기 불순물 확산영역(140) 및 하부전극(220a)을 연결한다. 상기 반도체 기판(100) 내에 또 다른 불순물 확산영역(160)이 형성되어 있고 상기 불순물 확산영역들 사이의 반도체 기판(100) 상에 워드 라인으로 작용하는 게이트 라인(120)이 배치되어 있다. 상기 게이트 라인(120)은 상기 절연막(180)에 의해 주위 구조물과 절연되어 있다. 상기 불순물 확산 영역들(140, 160) 및 상기 게이트 라인 120)은 상전이 기억 셀, 즉, 상기 상전이 물질막 패턴(340a)에 접근하기 위한 접근 트랜지스터를 구성한다. 비록 도시하지는 않았지만, 상기 또 다른 불순물 확산영역(160)에 전기적으로 접속하는 공통 드레인 전극이 상기 절연막(180) 내에 배치되어 있다. 결국 상기 접

근 트랜지스터가 온 되면 상기 공통 드레인 전극 및 상기 금속 배선(460a) 사이에 전류 통로가 형성된다. 상기 상전이 물질막 패턴(340a)이 나타내는 비저항이 상기 상부전극(400a) 및 상기 콘택 플러그(440)를 통해서 상기 금속 배선(460a)에 전달되고, 상기 금속 배선(460a)에 나타나는 저항, 즉, 전류가 감지되어 상기 상전이 물질막 패턴(340a)이 저장하는 값이 논리 "0" 인지 논리 "1"인지 판별된다. 이는 상전이 기억 소자에 대한 읽기 동작이다. 읽기 동작에서 상기 공통 드레인 전극은 접지되고, 상기 금속 배선(460a)에는 소정의 읽기 전압이 가해진다. 한편 상기 공통 드레인 영역에 일정한 전류를 공급하여 상기 활성 접촉면(360)에 일정한 열(주울 열)을 공급하면, 상기 활성 접촉면(360)의 상전이 물질의 결정 상태가 변하게 된다. 이는 상전이 기억 소자에 대한 프로그램 동작이다. 이때, 상기 금속 배선(460a)은 접지된다.

【보정대상항목】 식별번호 60

【보정방법】 정정

【보정내용】

다음 도7g를 참조하여, 상기 개구부(320b)를 완전히 채우도록 상기 버퍼 절연막 패턴(300a) 상에 상전이 물질막(340)이 형성된다. 상기 상전이 물질막(340)은, 예컨대, GST로 형성된다. 상기 상전이 물질막(340)은 약 1000옹그스트롬의 두께를 가지도록 형성된다. 즉, 상기 상전이 물질막(340)은 상기 버퍼 절연막 패턴(300a)의 측벽, 상부 그리고 상기 노출된 히터 플러그(280)의 중심부 상에 형성된다. 이때, 상기 히터 플러그(280)에 접촉하는 상기 상전이 물질막(340)의 일부분(360)이 활성 접촉면(360)이다. 상기 활성 접촉면(360)의 면적이 상기 히터 플러그(280) 단면의 면적보다 작다.

【보정대상항목】 청구항 13

【보정방법】 정정

【보정내용】

절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과;

상기 하부전극 및 상기 절연막 상에 배치된 하부 절연막과;

상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와;

상기 하부 절연막 상에 배치되고 상기 히터 플러그 중심을 향해 연장하여, 상기 히터 플러그 상부 표면 일부를 노출시키는 개구부를 한정하는 버퍼 절연막 패턴과;

상기 개구부를 채우며 상기 버퍼 절연막 상에 배치된 상전이 물질막 패턴과;

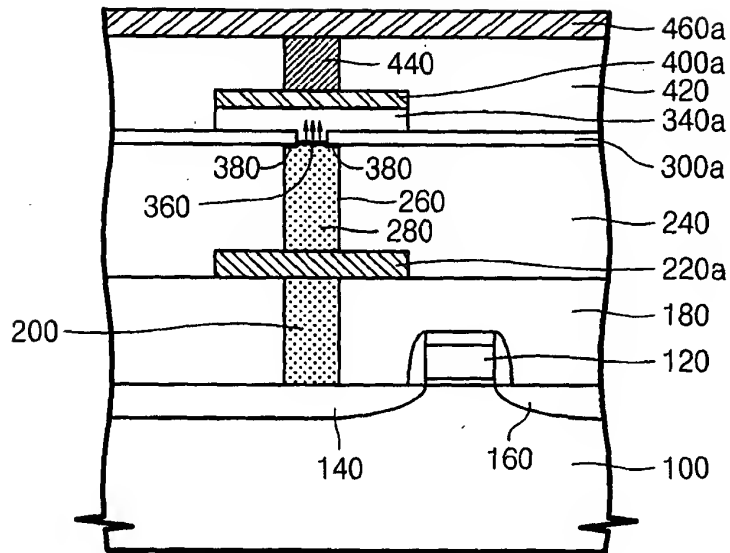
상기 상전이 물질막 패턴 상에 배치된 상부전극을 포함하는 상전이 기억 소자 구조

【보정대상항목】 도 2a

【보정방법】 정정

【보정내용】

【도 2a】

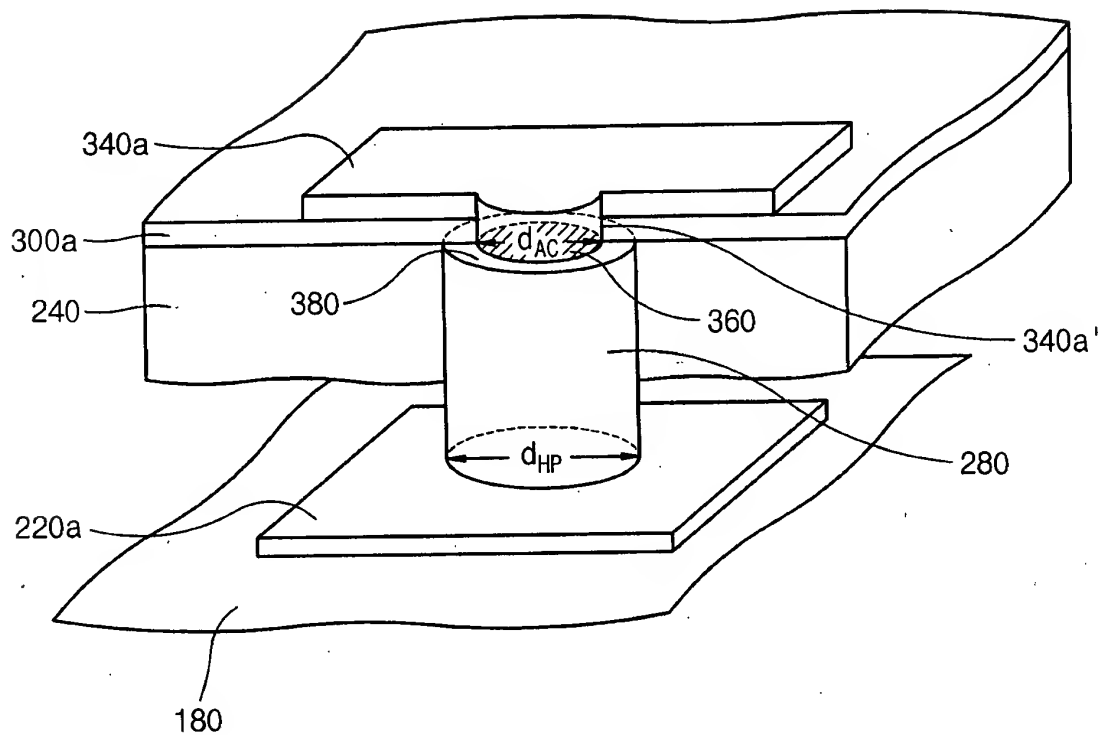


【보정대상항목】 도 2b

【보정방법】 정정

【보정내용】

【도 2b】

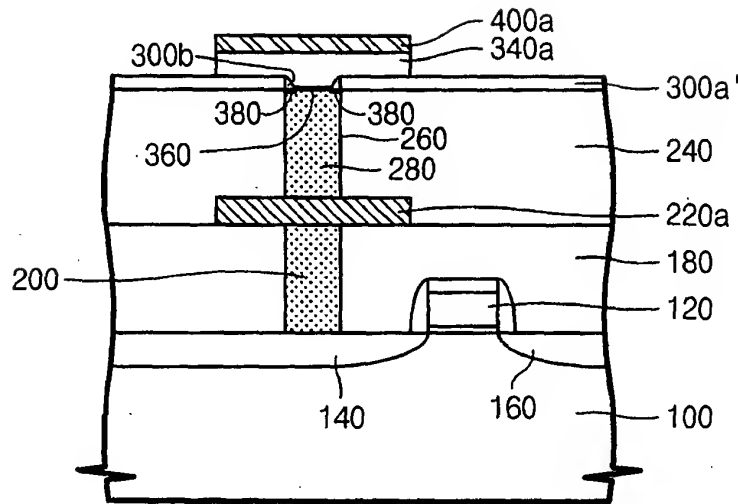


【보정대상항목】 도 3

【보정방법】 정정

【보정내용】

【도 3】

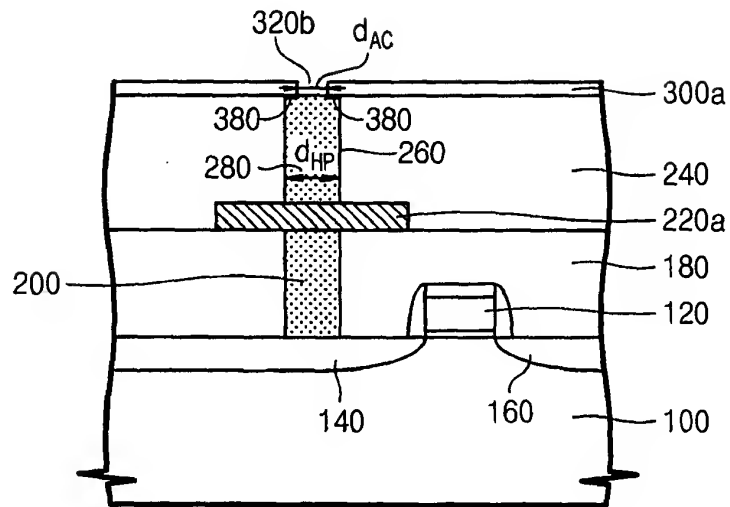


【보정대상항목】 도 7f

【보정방법】 정정

【보정내용】

【도 7f】



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2002.08.23		
【발명의 명칭】	상전이 기억 소자 구조 및 그 제조 방법		
【발명의 영문명칭】	PHASE-CHANGEABLE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	이세호		
【성명의 영문표기】	LEE, SE HO		
【주민등록번호】	721220-1057066		
【우편번호】	449-900		
【주소】	경기도 용인시 기흥읍 농서리 산 24번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	25	면	25,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	28	항	1,005,000	원
【합계】	1,059,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

상전이 기억 소자는 하부전극, 상전이 물질막 및 상부전극을 포함한다. 상기 하부전극과 상기 상전이 물질막 사이에 절연막이 개재하고, 상기 절연막을 관통하는 히터 플러그가 상기 하부전극 및 상기 상전이 물질막에 각각 접촉하여 이들을 전기적으로 연결시킨다. 상기 상부전극은 상기 상전이 물질막 상에 배치된다. 상기 상전이 물질막과 상기 절연막 사이에 버퍼 절연막 패턴이 개재한다. 상기 버퍼 절연막 패턴은 상기 절연막 상에 배치되어 상기 히터 플러그 중심을 향해 연장한다. 상기 버퍼 절연막의 열팽창 계수는 상기 절연막 및 상전이 물질막의 열팽창 계수 사이의 값을 가진다. 상기 버퍼 절연막은 상기 절연막 및 상기 상전이 물질막 사이의 열팽창을 차이로 인해 발생하는 응력을 완충한다. 또한 상기 히터 플러그와 상기 상전이 물질막이 접촉하는 접촉면이 상기 히터 플러그 상부 표면 면적보다 작아 상전이 소자에 대한 프로그램 및 읽기 동작을 위한 전류량을 감소시킬 수 있다.

【대표도】

도 2b

【색인어】

상전이 기억 소자, 칼코게나이드

【명세서】**【발명의 명칭】**

상전이 기억 소자 구조 및 그 제조 방법{PHASE-CHANGEABLE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도1a는 통상적인 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면이고, 도1b는 통상적인 상전이 기억 소자 구조에서 발생하는 문제점을 설명하기 위해, 도1a의 상전이 기억 소자의 일부를 확대하여 보여주는 도면이다.

도2a는 본 발명의 바람직한 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다.

도2b는 도2a의 상전이 기억 소자 구조를 개략적으로 보여주기 위한 투시 사시도이다.

도3은 본 발명의 일 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다.

도4는 본 발명의 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다.

도5는 본 발명의 또 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다.

도6은 본 발명의 또 하나의 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다.

도7a 내지 도7i는 도2a 및 도2b에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판의 일부를 보여주는 단면도들이다.

도8a 내지 도8e는 도3에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판의 일부를 보여주는 단면도들이다.

도9a 내지 도9d는 도4에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판의 일부를 보여주는 단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

220a: 하부전극 240: 하부 절연막

280: 히터 플러그 300a: 버퍼 절연막

340a: 상전이 물질막 패턴 360: 활성 접촉면

400a: 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 기억 소자에 관한 것으로서, 더 상세하게는 상전이 기억 소자 구조 및 그 제조 방법에 관한 것이다.

<17> 반도체 기억 소자들은 전원 공급이 중단되었을 때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나눌 수 있다. 휘발성 기억 소자들의 대표적인 것은 디램 소자들 및 에스램 소자들이며, 비휘발성 기억소자들의 대표적인 것은 플래쉬 기억 소자들이다. 이와 같은 전형적인 기억 소자들은 저장된 전하 유무에 따라 논

리 "0" 또는 논리 "1"을 나타낸다. 휘발성 기억 소자인 디램은, 주기적인 리프레쉬 동작이 필요하기 때문에, 높은 전하 저장능력이 요구되며, 이로 인해 커패시터 전극의 표면적을 증가시키기 위해 많은 노력이 시도되고 있다. 하지만 커패시터 전극의 표면적 증가는 디램 소자의 집적도 증가를 어렵게 한다. 한편 통상적인 플래쉬 기억 셀들은 반도체 기판에 차례로 적층된 게이트절연막, 부유게이트, 유전체막 및 제어게이트로 구성된 게이트 패턴을 갖는다. 플래쉬 기억 셀의 데이터를 기입 또는 소거하는 원리는 상기 게이트절연막을 통하여 전하들 터널링시키는 방법을 사용한다. 이때, 전원전압에 비하여 높은 동작전압이 요구된다. 이로 인하여, 상기 플래쉬 기억 소자들은 기입동작 및 소거동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.

<18> 따라서 비휘발성 특성 및 임의 접근이 가능하고, 소자의 집적도도 증가시키면서 구조가 간단한 새로운 기억 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상전이 기억 소자이다. 상전이 기억 소자는 상전이 물질을 사용한다. 상기 상전이 물질막으로는 칼코게나이드 물질, 예컨대, 게르마늄(Ge), 스티비움(stibium; Sb) 및 텔루리움(tellurium; Te)을 함유하는 화합물막(compound material layer; 이하 'GST막' 이라 함)이 널리 사용된다. 이와 같은 상전이 물질은 인가되는 전류(즉, 주울 열)에 따라 비정질 상태와 결정질 상태 사이에서 또는 결정질 상태에서의 여러 비저항 상태들 사이에서 전기적으로 전환(switch)되는 물질이다.

<19> 도1a는 통상적인 상전이 기억 소자 구조를 설명하기 위한 상전이 기억 셀 하나를 개략적으로 도시한 반도체 기판의 단면도이다. 도1a를 참조하면, 통상적인 상전이 기억 소자는 하부 도전막 패턴, 즉 하부전극(10), 상기 하부전극(10) 상에 배치된 실리콘 산화막(12), 상기 실리콘 산화막(12) 내에 형성된 콘택 플러그(14, 이하 "히터 플러그"라

함)를 통해서 상기 하부전극(10)에 전기적으로 연결되는 상전이 물질막 패턴(16) 및 상기 상전이 물질막 패턴(16) 상에 배치된 상부 도전막 패턴, 즉 상부전극(18)을 포함한다. 이와 같은 통상적인 상전이 기억 소자에서, 상기 하부전극(10) 및 상부전극(18) 사이에 전류가 흐르면, 상기 히터 플러그(14)와 상기 상전이 물질막 패턴(14)이 접촉하는 면(20, 이하에서 '활성 접촉면'이라 함)을 통과하는 전류 세기에 따라 상기 활성 접촉면(20) 주위의 상전이 물질의 결정 상태가 변한다. 도1b에 결정 상태가 변하는 영역(16a)을 개략적으로 도시하였다. 화살표로 표시된 바와 같이, 히터 플러그(14) 상부에서 수평 및 수직 방향으로 결정 상태의 변화가 일어난다.

<20> 상전이 물질의 결정 상태를 변화시키기 위해서 필요한 전류는 상전이 물질막 패턴(16)이 히터 플러그(14)와 접촉하는 활성 접촉면(20)에 영향을 받는다. 따라서 상기 활성 접촉면(20)은 가능한 작아야 상전이 기억 소자 동작에 필요한 전류 크기를 감소시킬 수 있다. 이에 따라 상전이 기억 소자 분야에서 이루어지는 연구는 활성 접촉면의 면적을 감소시키기 위한 것이 거의 대부분이었다.

<21> 하지만, 잘 알려진 바와 같이 실리콘 산화막(12)의 열팽창계수 α (SiO_2) $\approx 0.6\text{ppm/K}$ 이고, 상전이 물질막 패턴(18)인 GST의 열팽창계수 α (GST) $\approx 23\text{ppm/K}$ 이다(여기서 K는 절대 온도 단위이다). 따라서, 반복적인 상전이 기억 소자 동작을 수행함에 따라, 상전이 물질막 패턴과 산화 실리콘막의 열팽창율의 차이에 기인한 열응력이 발생하게 된다. 상술한 바와 같이, 히터 플러그(14) 상부에서 수평 및 수직 방향으로 결정 상태의 변화가 일어나기 때문에(도1b 참조), 상기 히터 플러그(14)의 상부 표면의 가장자리 부분, 즉 상전이 물질막 패턴(16)과 실리콘 산화막(12) 사이의 계면(20a, 20b)은 매우 취약해진다. 이에 따라, 응력유도 결함 및 산화 실리콘 및 상전이 물질막 사이의 계면(20a,

20b)에 미세한 파손이 발생하여 누설전류가 발생한다. 이에 따라 활성 접촉면을 따라 상전이가 발생하지 않을 수 있어 소자의 동작 안전성 및 신뢰성이 저하되는 문제점이 발생한다. 이와 같은 통상적인 상전이 기억 소자에서 발생하는 문제점에 대한 인식 및 이를 해결하기 위한 시도는 전혀 없었으며, 본 발명자에 의해 처음으로 제기되었다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 이상에서 언급한 문제점을 해결하기 위해 고안된 것으로서, 본 발명의 목적은 누설전류를 억제할 수 있는 상전이 기억 소자 구조 및 그 제조 방법을 제공하는 것이다.

<23> 본 발명의 다른 목적은 활성 접촉면의 면적이 감소된 상전이 기억 소자 구조 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<24> 상기 본 발명의 목적들을 달성하기 위한 본 발명의 상전이 기억 소자는 히터 플러그가 매몰된 절연막 및 상전이 물질막 사이에 버퍼 절연막이 개재하는 것을 일 특징으로 한다. 상기 버퍼 절연막의 열팽창계수는 상기 절연막 및 상전이 물질막의 열팽창계수들 사이의 값을 가진다. 이에 따라 상기 버퍼 절연막은 상기 절연막 및 상기 상전이 물질막 사이의 열팽창을 차이로 인해 발생하는 응력을 완충한다.

<25> 구체적으로 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는, 절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과, 상기 하부전극 및 상기 절연막 상에 배치된 하부 절연막과, 상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와, 상기 하부 절연막 상에 배치된 버퍼 절연막 패턴과

, 상기 버퍼 절연막 상에 배치되고 상기 버퍼 절연막 두께만큼 아래로 돌출하여 상기 히터 플러그 상부 표면에 접하는 상전이 물질막 패턴과, 상기 상전이 물질막 상에 배치된 상부전극을 포함한다.

<26> 상기 버퍼 절연막의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가진다. 예컨대, 상기 하부 절연막은 실리콘 산화막을 포함하고, 상기 버퍼 절연막은 실리콘 질화막을 포함하고, 상기 상전이 물질막은 GST막을 포함한다.

<27> 활성 접촉면의 면적, 즉 상기 히터 플러그와 상기 상전이 물질막 패턴이 접촉하는 면의 면적을 줄이기 위해서, 상기 버퍼 절연막 패턴은 상기 히터 플러그의 가장자리에서 중심부 쪽을 향해 상기 콘택 플러그 상부를 완전히 덮지 않도록 연장되는 것이 바람직하다.

<28> 또한 상기 버퍼 절연막 패턴 측벽 및 상기 버퍼 절연막 패턴에 의해 노출된 히터 플러그 상부 표면에 스페이서가 더 배치될 수 있다. 즉, 상기 버퍼 절연막 패턴의 측벽 및 여기에 접하는 상기 상전이 물질막 패턴 사이에 측벽 스페이서가 더 개재할 수 있다. 이 경우, 상기 측벽 스페이서의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지며, 예컨대, 상기 버퍼 절연막과 동일한 물질로 형성된다.

<29> 일 실시예에 있어서, 상기 히터 플러그는 상기 버퍼 절연막을 관통할 수 있다. 즉, 상기 히터 플러그가 상기 버퍼 절연막 및 하부 절연막을 관통한다. 이 경우, 상기 상전이 물질막 패턴은 상기 히터 플러그 및 상기 버퍼 절연막 패턴 상에 배치된다.

<30> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는, 절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과, 상기 하부전극 및

상기 절연막 상에 배치된 하부 절연막과, 상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와, 상기 버퍼 절연막 상에 배치되고 상기 히터 플러그 중심을 향해 연장하여 상기 히터 플러그 상부 표면 일부를 노출시키는 개구부를 한정하는 버퍼 절연막 패턴과, 상기 개구부를 채우며 상기 버퍼 절연막 상에 배치된 상전이 물질막 패턴과, 상기 상전이 물질막 패턴 상에 배치된 상부전극을 포함하는 것이 바람직하다.

<31> 일 실시예에 있어서, 상기 상전이 기억 소자는, 상기 개구부를 한정하는 상기 버퍼 절연막 패턴의 측벽 및 상기 노출된 상기 히터 플러그 상부 표면 일부 상에 배치된 스페이서를 더 포함할 수 있다. 상기 스페이서로 인해 활성 접촉면의 면적이 더 줄어든다.

<32> 상기 상전이 기억 소자는, 상기 상부전극 및 상전이 물질막 패턴을 덮도록 상기 버퍼 절연막 패턴 상에 배치된 상부 절연막과, 상기 상부 절연막을 뚫고 상기 상부전극에 접촉하는 콘택 플러그와, 상기 콘택 플러그 및 상기 상부 절연막 상에 배치된 금속 배선을 더 포함한다.

<33> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자 제조 방법은, 반도체 기판 상에 절연막을 사이에 두고 상기 반도체 기판의 불순물 확산영역에 전기적으로 연결되는 하부전극을 형성하는 단계와, 상기 절연막 및 상기 하부전극 상에 하부 절연막을 형성하는 단계와, 상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그를 형성하는 단계와, 상기 하부 절연막 상에 상기 히터 플러그 상부 표면을 노출시키는 버퍼 절연막 패턴을 형성하는 단계와, 상기 버퍼 절연막 패턴 및 상기 노출된 히터 플러그 상부 표면상에 상전이 물질막 패턴 및 상부전극을 차례로 형성하는 단계를 포함한다.

<34> 상기 상전이 기억 소자 제조 방법에서, 상기 버퍼 절연막 패턴을 형성하는 단계는, 상기 히터 플러그 상에 버퍼 절연막을 형성하는 단계와, 상기 버퍼 절연막 상에 감광성

물질막 패턴을 형성하는 단계와, 상기 감광성 물질막 패턴을 식각 마크로 사용하여 노출된 버퍼 절연막을 식각 하는 단계를 포함하여 이루어진다.

<35> 바람직한 실시예에 있어서, 상기 감광성 물질막 패턴에 의해 한정된 개구부의 직경은 상기 히터 플러그 직경보다 작도록 상기 감광성 물질막 패턴이 형성된다. 이에 따라, 상기 버퍼 절연막 패턴이 상기 히터 플러그 상부 가장자리에서 중심부를 향해 연장하여 상기 히터 플러그 상부 표면 일부를 노출시키게 된다. 따라서 활성 접촉면의 면적이 상기 히터 콘택 플러그 상부 표면 면적보다 줄어든다.

<36> 일 실시예에 있어서, 상기 버퍼 절연막 패턴 측벽에 스페이서를 형성하는 단계를 더 포함한다. 즉, 상기 버퍼 절연막 패턴 및 이것에 의해 노출된 상기 히터 플러그 상부 표면에 스페이서 절연막을 형성한 후 이를 에치백 한다.

<37> 상기 본 발명의 목적을 달성하기 위한 상전이 기억 소자 제조 방법은, 반도체 기판 상에 절연막을 사이에 두고 상기 반도체 기판의 불순물 확산영역에 전기적으로 연결되는 하부전극을 형성하는 단계와, 상기 절연막 및 상기 하부전극 상에 하부 절연막을 형성하는 단계와, 상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그를 형성하는 단계와, 상기 히터 플러그 및 상기 하부 절연막 상에 버퍼 절연막을 형성하는 단계와, 상기 버퍼 절연막을 패터닝하여 상기 히터 플러그 상부 표면 일부를 노출시키는 버퍼 절연막 패턴을 형성하는 단계와, 상기 버퍼 절연막 패턴 및 상기 노출된 히터 플러그 상부 표면 일부 상에 상전이 물질막 패턴 및 상부전극을 차례로 형성하는 단계와, 상기 상전이 물질막 패턴 및 상부전극을 덮도록 상기 버퍼 절연막 패턴 상에 상부 절연막을 형성하는 단계와, 상기 상부 절연막을 관통하여 상기 상부전극에 접촉하는 콘택 플러그

를 형성하는 단계와, 상부 절연막 상에 상기 콘택 플러그에 전기적으로 연결되는 금속 배선을 형성하는 단계를 포함하는 것이 바람직하다.

<38> 이하에서는 첨부되는 도면들을 참조하여 본 발명의 바람직한 실시예 및 여러 변형 실시예들을 설명한다.

<39> 본 발명은 상전이 기억 소자 및 그 제조 방법에 관한 것이기 때문에, 통상적인 방법으로 형성되는 반도체 기판의 불순물 확산영역, 게이트 라인 등에 대하여는 간단히 설명하며, 반도체 메모리 소자 제조 공정에서 널리 알려진 기술들, 예컨대, 사진 식각 공정, 절연막 증착 공정 등에 대한 상세한 설명은 생략한다. 또 본 발명에 대한 명확한 이해를 위해서 도면들에서 단지 하나의 상전이 기억 셀, 하나의 게이트 라인, 하나의 금속 배선만을 도시하였다. 그리고, 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기하였다.

<40> 도2a 및 도2b는 본 발명의 바람직한 실시예에 따른 상전이 기억 소자를 개략적으로 보여주는 반도체 기판의 단면도 및 투시사시도이다.

<41> 도2a 및 도2b를 참조하여, 상전이 기억 소자는, 히터 플러그(280)가 매몰된 하부 절연막(240)과 상전이 물질막 패턴(340a) 사이에 버퍼 절연막 패턴(300a)을 포함한다. 상기 히터 플러그(280)는 상기 하부전극(220a)과 상기 상전이 물질막 패턴(340a)을 연결시키고, 상기 하부 절연막(240)에 의해서 둘러싸여 있다. 상기 상전이 물질막 패턴(340a) 상에 상부전극(400a)이 배치되어 있다. 구체적으로 상기 버퍼 절연막 패턴(300a)은 상기 하부 절연막(240) 전부 그리고 상기 히터 플러그(280)의 일부, 즉, 상기 히터 플러그(280)의 상부 표면의 가장자리(380)를 덮는다. 이에 따라 상기 버퍼 절연막 패턴(300a)은 상기 히터 플러그(280)의 중심

부를 노출시키는 개구부(도7e의 320b 참조)를 한정한다. 상기 상전이 물질막 패턴(340a)은 상기 버퍼 절연막 패턴(300a) 상에 배치되고 상기 버퍼 절연막 패턴(300a)에 의해 한정된 개구부로 연장하여(340a') 노출된 상기 히터 플러그(280)의 중심부에 접한다. 결국 상기 상전이 물질막 패턴(340a)은 단면상(도2a 참조)으로 'T' 형상을 나타낸다. 상기 히터 플러그(280)에 접하는 상기 상전이 물질막 패턴(340a) 부분(360)이 활성 접촉면(360)이다. 이에 따라 상기 활성 접촉면(260)의 직경 d_{AC} 이 상기 히터 플러그(280)의 직경 d_{HP} 보다 작게된다. 이는, 상기 버퍼 절연막 패턴(300a)에 의해 상기 히터 플러그(280)의 가장자리(380)가 덮혀져있기 때문이다.

<42> 상기 상부전극(400a) 상에 상부 절연막(420)을 사이에 두고 금속 배선(460a)이 배치된다. 상기 금속 배선(460a)은 상기 상부 절연막(420)을 뚫고 상기 상부전극(400a)에 접하는 콘택 플러그(440)의 상부에 접한다. 따라서 상기 금속 배선(460a)은 상기 상부전극(400a)에 전기적으로 연결된다. 또 상기 하부전극(220a)은 절연막(180)을 사이에 두고, 반도체 기판(100)의 불순물 확산영역(140)에 전기적으로 연결된다. 상기 절연막(180)을 관통하는 콘택 플러그(200)가 상기 불순물 확산영역(140) 및 하부전극(220a)을 연결한다. 상기 반도체 기판(100) 내에 또 다른 불순물 확산영역(160)이 형성되어 있고 상기 불순물 확산영역들 사이의 반도체 기판(100) 상에 워드 라인으로 작용하는 게이트 라인(120)이 배치되어 있다. 상기 게이트 라인(120)은 상기 절연막(180)에 의해 주위 구조물과 절연되어

있다. 상기 불순물 확산 영역들(140, 160) 및 상기 게이트 라인 120)은 상전이 기억 셀, 즉, 상기 상전이 물질막 패턴(340a)에 접근하기 위한 접근 트랜지스터를 구성한다. 비록 도시하지는 않았지만, 상기 또 다른 불순물 확산영역(160)에 전기적으로 접속하는 공통 드레인 전극이 상기 절연막(180) 내에 배치되어 있다. 결국 상기 접근 트랜지스터가 온 되면 상기 공통 드레인 전극 및 상기 금속 배선(460a) 사이에 전류 통로가 형성된다. 상기 상전이 물질막 패턴(340a)이 나타내는 비저항이 상기 상부전극(380a) 및 상기 콘택 플러그(420)를 통해서 상기 금속 배선(460a)에 전달되고, 상기 금속 배선(460a)에 나타나는 저항, 즉, 전류가 감지되어 상기 상전이 물질막 패턴(340a)이 저장하는 값이 논리 "0" 인지 논리 "1"인지 판별된다. 이는 상전이 기억 소자에 대한 읽기 동작이다. 읽기 동작에서 상기 공통 드레인 전극은 접지되고, 상기 금속 배선(460a)에는 소정의 읽기 전압이 가해진다. 한편 상기 공통 드레인 영역에 일정한 전류를 공급하여 상기 활성 접촉면(360)에 일정한 열(주울 열)을 공급하면, 상기 활성 접촉면(360)의 상전이 물질의 결정 상태가 변하게 된다. 이는 상전이 기억 소자에 대한 프로그램 동작이다. 이때, 상기 금속 배선(460a)은 접지된다.

<43> 이와 같은 히터 플러그(280)와 상전이 물질막 패턴(340a)의 연결 구조는 여러 가지 이점을 나타낸다.

<44> 히터 플러그(280)의 면적보다 작은 활성 접촉면(360)이 형성된다. 따라서 상전이 기억 소자 동작에 필요한 전류 크기를 줄일 수 있다. 또, 상전이 물질막 패턴(340a) 및 하부 절연막(240) 사이에 버퍼 절연막(300a)이 개재하고 있어, 상전

이 물질막 패턴(340a) 및 하부 절연막(240) 사이의 계면은 형성되지 않으며, 상기 버퍼 절연막 패턴(300a)은 열팽창을 차이에 따른 응력을 완충한다. 더욱이, 상전이 물질막 패턴(340a)의 연장부(340a')가 버퍼 절연막 패턴(300a)에 의해 둘러싸여 있기 때문에, 상전이가 일어나는 부분이 상부 방향(도2a의 화살표 참조)으로 한정되며 이에 따라 보다 우수한 상전이 특성(즉, 큰 비저항 변화)을 얻을 수 있다. 하지만, 통상적인 상전이 기억 소자의 경우, 상전이가 상전이 물질막(16)의 수평 및 수직 방향으로 일어나고(도1b의 화살표 참조) 이에 따라 열팽창을 차이에 의해 상전이 물질막(16) 및 절연막(12) 사이의 계면(20a, 20b)에 결함이 발생한다.

<45> 도3은 본 발명의 일 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주는 위한 반도체 기판의 일부 단면도이다.

<46> 도2a 및 도2b에서 보여진 상전이 기억 소자와 동일하게, 버퍼 절연막 패턴(300a')이 하부 절연막(240) 및 상전이 물질막 패턴(340a) 사이에 개재한다. 상기 버퍼 절연막 패턴(300a')은 상기 하부 절연막(240) 상에 배치되고 히터 플러그(280) 상부 표면은 완전히 노출된다. 하지만, 본 실시예의 경우, 상기 버퍼 절연막 패턴(300a')의 측벽으로부터 상기 히터 플러그(280) 가장자리(380)로 연장하여 측벽 스페이서(300b)가 배치되어 있다. 상기 측벽 스페이서(300b)로 인해 노출된 상기 히터 플러그(280)의 상부 표면의 직경(즉, 활성 접촉면(360)의 직경)이 상기 히터 플러그(280)의 직경보다 작게 된다. 상기 상전이 물질막 패턴(340a)은 상기 노출된 히터 플러그(280) 상부 표면, 상기 버퍼 절연막(300a') 및 상기 측벽 스페이서(300b)에 접촉한다. 따라서 상기 히터 플러그(280)에 접촉하는 상기 상전이 물질

막 패턴(340a)의 일부분인 활성 접촉면(360)의 면적이 히터 플러그(280)의 단면적보다 작게된다. 본 실시예의 버퍼 절연막 패턴(300a')과 스페이서(300b)가 도2a 및 도2b의 버퍼 절연막 패턴(300a)에 대응한다.

<47> 도4는 본 발명의 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다. 본 실시예의 상전이 기억 소자는 도2a 및 도2b의 상전이 기억 소자에서 측벽 스페이서(300b')를 더 포함한다. 즉, 버퍼 절연막 패턴(300a)의 측벽에 상기 측벽 스페이서(300b')가 배치된다. 이에 따라 히터 플러그(280)에 접촉하는 상전이 물질막 패턴(340a)의 일부분인 활성 접촉면(360')의 면적이 더욱더 줄어든다.

<48> 도5는 본 발명의 또 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주 기 위한 반도체 기판의 일부 단면도이다. 본 실시예의 상전이 기억 소자는 도3을 참조하여 설명한 상전이 기억 소자와 비교해서 측벽 스페이서가 없는 것을 제외하면 완전히 동일한 구조를 갖는다. 즉, 버퍼 절연막 패턴(300a')이 하부 절연막(240) 및 상전이 물질막 패턴(340a) 사이에 개재한다. 상기 버퍼 절연막 패턴(300a')은 상기 하부 절연막(240) 상에 배치되어 히터 플러그(280) 상부 표면을 완전히 노출시킨다. 상기 상전이 물질막 패턴(340a)은 노출된 히터 플러그(280) 상부 표면에 접하도록 상기 버퍼 절연막 패턴(300a') 상에 배치되어 있다.

<49> 지금까지 설명한 상전이 물질막 패턴의 단면상 구조는 "T" 형상을 갖는다.

<50> 도6은 본 발명의 또 하나의 다른 실시예에 따른 상전이 기억 소자 구조를 개략적으로 보여주기 위한 반도체 기판의 일부 단면도이다. 본 실시예의 상전이 기억

소자는 앞서 설명한 기억 소자들과 달리 히터 플러그(280')가 하부 절연막(240) 뿐 아니라 버퍼 절연막 패턴(300a')을 관통한다. 상전이 물질막 패턴(340a')이 상기 버퍼 절연막 패턴(300a') 및 상기 히터 플러그(280') 상에 배치된다. 본 실시예의 상전이 물질막 패턴의 단면상 구조는 납혀진 소문자 "l" 구조를 갖는다.

<51> 이제 이상에서 언급한 상전이 기억 소자를 제조하는 방법에 대하여 설명한다.

<52> 도7a 내지 도7i는 도2a 및 도2b에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 제조 공정 단계에서의 반도체 기관의 일부를 보여주는 단면도들이다.

<53> 먼저 도7a를 참조하여 접근 트랜지스터 및 공통 드레인 전극을 구비한 반도체 기관(100)이 제공된다. 간단히 설명하면, 통상적인 방법으로 소자분리 공정이 진행된 후, 상기 반도체 기관(100)에 불순물 확산영역들(140, 160) 및 게이트 라인(120)으로 구성된 접근 트랜지스터가 통상적인 방법으로 형성된다. 상기 불순물 확산영역들 140, 160은 각각 소오스 영역(140) 및 드레인 영역(160)이다. 상기 불순물 확산영역(160)에 전기적으로 연결되는 공통 드레인 전극(도면에 도시하지 않음)이 형성된다. 이어서 반도체 기관(100) 전면에 절연막(180)이 형성된다.

<54> 다음 도7b를 참조하여, 상기 절연막(180)을 패터닝하여 상기 불순물 확산영역(140)을 노출시키는 콘택홀을 형성한다. 계속해서 상기 콘택홀을 완전히 채우도록 도전물질을 상기 절연막(180) 상에 증착한 후 평탄화 공정을 진행하여 콘택 플러그(200)를 형성한다. 이어서 상기 콘택 플러그(200) 및 상기 절연막(180) 상에 전극물질을 형성하고 이를

패터닝하여 상기 콘택 플러그(200)에 접촉하는 하부전극(220a)을 형성한다. 상기 하부전극(220a)은, 예컨대, 텅스텐으로 형성할 수 있다.

<55> 다음 도7c를 참조하여, 상기 하부전극(220a)이 형성된 결과물 상에 하부 절연막(240)을 형성한다. 상기 하부 절연막(240)은 예컨대, 실리콘 산화막(SiO_2)으로 형성한다. 계속해서, 상기 하부 절연막(240)을 패터닝하여 상기 하부전극(220a)을 노출시키는 콘택홀(260)을 형성한다.

<56> 다음 도7d를 참조하여, 상기 콘택홀(260)을 완전히 채우도록 상기 하부 절연막(240) 상에 도전물질을 증착한 후 평탄화 공정을 진행하여 히터 플러그(280)를 형성한다. 상기 히터 플러그(280)는 예컨대 질화 티타늄(TiN)으로 형성한다.

<57> 다음 도7e를 참조하여, 상기 히터 플러그(280) 및 상기 하부 절연막(240) 상에 버퍼 절연막(300)이 형성된다. 상기 버퍼 절연막(300)은 약 300 내지 500 옹그스트롬의 두께로 형성한다. 상기 버퍼 절연막(300)은 상기 하부 절연막(240) 및 후속 공정으로 형성될 상전이 물질막(340)의 열팽창을 차이를 완충하기 위한 막질이다. 따라서 상기 버퍼 절연막(300)은 상기 하부 절연막(240)의 열팽창 및 상전이 물질막(340)의 열팽창 사이의 열팽창을 가지는 절연막질로 형성한다. 예컨대, 실리콘 질화막(Si_3N_4)으로 형성한다. 실리콘 질화막의 열팽창계수 α (Si_3N_4) $\approx 3.0\text{ppm/K}$ 으로 실리콘 산화막의 열팽창을 α (SiO_2) $\approx 0.6\text{ppm/K}$ 보다 5배 정도 크다. 따라서, 열팽창율이 매우 큰(α (GST) $\approx 23\text{ppm/K}$) 상전이 물질막(340)과 열팽창율이 작은 실리콘 산화막(240) 사이에 버퍼 절연막(300)이 개재하고 이에 따라 열응력에 기인한 응력유도 결합이 방지된다.

<58> 다시 도7e를 참조하여, 상기 버퍼 절연막(300) 상에 감광성 물질막을 형성하고 이를 패터닝하여 개구부(320a)를 한정하는 감광성 물질막 패턴(320)을 형성한다. 상기 감

광성 물질막 패턴(320)에 의해 한정된 개구부(320a)는 상기 히터 플러그(280) 상부에 정렬된다. 또한 상기 개구부(320a)의 직경 d_{AC} 은 상기 히터 플러그(280)의 직경 d_{HP} 보다 작게 형성된다.

<59> 다음 도7f를 참조하여, 상기 감광성 물질막 패턴(320)을 식각 마스크로 사용하여 하부에 노출된 버퍼 절연막(300)을 식각하여 버퍼 절연막 패턴(300a)을 형성한다. 이어서, 상기 감광성 물질막 패턴(320)을 제거한다. 이에 따라, 상기 버퍼 절연막 패턴(300a)은 상기 감광성 물질막 패턴(320)이 한정하는 개구부(320a)에 대응하는 개구부(320b)를 가진다. 상기 버퍼 절연막 패턴(300a)에 의해 한정된 개구부(320b)는 상기 히터 플러그(280)의 일부분, 즉, 상기 히터 플러그(280)의 중심부를 노출시킨다. 환언하면, 상기 버퍼 절연막 패턴(300a)은 상기 하부 절연막(240) 상에 형성되어 상기 히터 플러그(280)의 가장자리(380) 일부를 덮도록 연장한다.

<60> 다음 도7g를 참조하여, 상기 개구부(320b)를 완전히 채우도록 상기 버퍼 절연막 패턴(300a) 상에 상전이 물질막(340)이 형성된다. 상기 상전이 물질막(300)은, 예컨대, GST로 형성된다. 상기 상전이 물질막(300)은 약 1000옹그스트롬의 두께를 가지도록 형성된다. 즉, 상기 상전이 물질막(300)은 상기 버퍼 절연막 패턴(300a)의 측벽, 상부 그리고 상기 노출된 히터 플러그(280)의 중심부 상에 형성된다. 이때, 상기 히터 플러그(280)에 접촉하는 상기 상전이 물질막(300)의 일부분(360)이 활성 접촉면(360)이다. 상기 활성 접촉면(360)의 면적이 상기 히터 플러그(280) 단면의 면적보다 작다.

<61> 계속해서, 상기 상전이 물질막(340) 상에 상부전극 물질(400)이 형성된다. 예컨대, 상기 상부전극 물질(400)은 하부전극(220a)과 동일한 물질로 형성된다.

- <62> 다음 도7h를 참조하여, 상기 상부전극 물질(400) 및 상전이 물질막(340)을 패터닝하여 상부전극(400a) 및 상전이 물질막 패턴(340a)을 형성한다. 이때, 상기 상전이 물질막 패턴(340a)이 상기 히터 플러그(280)에 접촉하여 연결되도록 패터닝된다.
- <63> 다음 도7i를 참조하여 상기 상부전극(400a) 및 상전이 물질막 패턴(340a)이 형성된 결과물 상에 상부 절연막(420)을 형성한다. 상기 상부 절연막(420)을 패터닝하여 상기 상부전극(400a)을 노출시키는 콘택홀을 형성한다. 계속해서, 상기 콘택홀을 완전히 채우도록 상기 상부 절연막(420) 상에 도전물질을 형성하고 평탄화 공정을 진행하여 콘택 플러그(440)를 형성한다. 이어서, 상기 상부 절연막(420) 및 상기 콘택 플러그(440) 상에 도전물질을 증착하고 패터닝하여 상기 콘택플러그(440)에 접촉하여 전기적으로 연결되는 금속 배선(460a)을 형성한다. 예컨대, 상기 금속 배선(460a)은 알루미늄으로 형성한다.
- <64> 이제, 도3에 도시된 상전이 기억 소자를 제조하는 방법을 설명한다. 도8a 내지 도8e는 도3에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 제조 공정 단계에서의 반도체 기판의 일부를 보여주는 단면도들이다. 설명의 중복을 피하기 위하여 도7a 내지 도7i를 참조하여 설명한 방법과 동일한 제조 공정에 대한 설명은 생략한다.
- <65> 도8a를 참조하여, 앞서 설명한 방법과 동일하게 반도체 기판(100) 상에, 불순물 확산영역들(140, 160), 게이트 라인(120), 공통 드레인 전극, 절연막(180), 콘택 플러그(200), 하부전극(220a), 하부 절연막(240) 및 히터 플러그(280)를 형성한다.
- <66> 다음, 도8b를 참조하여, 상기 하부 절연막(240) 상에 버퍼 절연막 패턴(300a')을 형성한다. 즉, 버퍼 절연막을 상기 하부 절연막(240) 및 히터 플러그(280) 상에 형성하

고 이를 패터닝하여 상기 버퍼 절연막 패턴(300a')을 형성한다. 본 실시예에서, 상기 버퍼 절연막 패턴(300a')은 상기 히터 플러그(280) 상부 전체를 노출시킨다.

<67> 다음, 도8c를 참조하여, 상기 버퍼 절연막 패턴(300a')에 의해 노출된 상기 히터 플러그(280) 및 상기 버퍼 절연막 패턴(300a') 상에 스페이서 절연막(300')을 형성한다. 이때 상기 스페이서 절연막(300')은 하부 구조물의 윤곽을 따라 균일하게(즉, 콘포말하게) 형성된다.

<68> 다음 도8d를 참조하여, 상기 스페이서 절연막(300')에 대하여 에치백 공정을 진행하여 스페이서(300b)를 상기 버퍼 절연막 패턴(300a')의 측벽에 형성한다.

<69> 다음 도8e를 참조하여, 앞서 설명한 방법과 동일하게 상전이 물질막 패턴(340a) 및 상부전극(400a)이 형성된다. 본 실시예에서, 상기 스페이서(300b)로 인해, 활성 접촉면(360)의 면적이 상기 히터 플러그(280)의 단면적보다 작게된다.

<70> 이제, 도9a 내지 도9d는 도4에 도시된 상전이 기억 소자를 제조하기 위한 방법을 설명하기 위해 주요 제조 공정 단계에서의 반도체 기판의 일부를 보여주는 단면도들이다. 마찬가지로, 설명의 중복을 피하기 위하여 도7a 내지 도7i를 참조하여 설명한 방법과 동일한 제조 공정에 대한 설명은 생략한다.

<71> 먼저 도9a를 참조하여, 앞서 설명한 방법과 동일하게, 반도체 기판(100) 상에 불순물 확산영역들(140, 160), 게이트 라인(120), 공통 드레인 전극, 절연막(180), 콘택 플러그(200), 하부전극(220a), 하부 절연막(240), 히터 플러그(280) 및 버퍼 절연막 패턴(300a)을 형성한다. 상기 버퍼 절연막 패턴(300a)은 상기 히터 플러그(280)의 상부 표면 일부, 즉, 중심부를 노출시킨다.

- <72> 다음 도9b를 참조하여, 상기 노출된 히터 플러그(280)의 중심부 및 상기 버퍼 절연막 패턴(300a) 상에 스페이서 절연막(300')을 콘포말하게 형성한다.
- <73> 다음 도9c를 참조하여, 상기 스페이서 절연막(300')에 대한 에치백 공정을 진행하여 상기 버퍼 절연막 패턴(300a)의 측벽에 스페이서(300b')를 형성한다.
- <74> 다음 도9d를 참조하여, 앞서 설명한 방법과 동일하게, 상전이 물질막 패턴(340a) 및 상부전극(400a)을 형성한다.
- <75> 도5의 상전이 기억 소자의 제조 방법은, 도8a 내지 도8e를 참조하여 설명한 방법에서 스페이서를 형성하지 않는 것을 제외하고 동일하다. 즉, 도8b에 도시된 바와 같이 히터 플러그(280)를 완전히 노출시키도록 하부 절연막(240) 상에 버퍼 절연막 패턴(300a')을 형성하고, 상전이 물질막 및 상부전극 물질을 차례로 형성한 후 이들을 패터닝하여 상전이 물질막 패턴(340a) 및 상부전극(400a)을 형성한다.
- <76> 한편 도6의 상전이 기억 소자 제조 방법은, 히터 플러그(280')가 버퍼 절연막 패턴(300a')을 관통하도록 형성된다. 즉, 하부전극(220a)을 형성하고, 하부 절연막(240) 및 버퍼 절연막(300)을 차례로 형성한 후 이들을 패터닝하여 상기 하부전극(220a)을 노출시키는 콘택홀(260')을 형성한다. 이어서 상기 콘택홀(260')을 완전히 채우도록 패터닝된 버퍼 절연막(300a') 상에 도전물질을 형성하고 평탄화 공정을 진행하여 히터 플러그(280')를 형성한다. 다음 상전이 물질막 및 상부전극막을 차례로 형성하고 이들을 패터닝하여 상부전극(400a) 및 상전이 물질막 패턴(340a')을 형성한다.
- <77> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특

성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

- <78> 이상에서 설명한 본 발명의 상전이 기억 소자는 상전이 물질막 패턴(즉, 상전이 기억 셀)과 하부 절연막 사이에 버퍼 절연막 패턴을 포함한다. 이에 따라, 열응력에 따른 응력유도 결함 및 계면 손상을 방지할 수 있고, 누설전류를 억제할 수 있다.
- <79> 또한 버퍼 절연막 패턴(또는 스페이서)이 히터 플러그 일부분을 덮고 있기 때문에, 활성 접촉면의 면적을 감소시킬 수 있다. 이에 따라, 상전이 기억 소자 동작시 필요한 전류를 감소시킬 수 있다.
- <80> 더욱이, 상전이 물질막 패턴이 히터 플러그 아래로 돌출하고 또 돌출한 부분이 버퍼 절연막 패턴 또는 스페이서에 의해 둘러싸여져 있다. 이에 따라, 상전이가 발생하는 부분이 수직방향으로 한정되며 효율적으로 상변화를 일어나게 할 수 있다.

【특허청구범위】**【청구항 1】**

절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과;

상기 하부전극 및 상기 절연막 상에 배치된 하부 절연막과;

상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와;

상기 하부 절연막 상에 배치된 버퍼 절연막 패턴과;

상기 버퍼 절연막 상에 배치되고 상기 버퍼 절연막 두께만큼 아래로 돌출하여 상기 히터 플러그 상부 표면에 접하는 상전이 물질막 패턴과;

상기 상전이 물질막 상에 배치된 상부전극을 포함하는 상전이 기억 소자 구조.

【청구항 2】

제1항에 있어서,

상기 버퍼 절연막의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지는 상전이 기억 소자 구조.

【청구항 3】

제2항에 있어서,

상기 하부 절연막은 실리콘 산화막을 포함하고, 상기 버퍼 절연막은 실리콘 질화막을 포함하고, 상기 상전이 물질막은 GST막을 포함하는 상전이 기억 소자 구조.

【청구항 4】

제1항에 있어서,

상기 버퍼 절연막 패턴은 상기 히터 플러그의 가장자리에서 중심부 쪽을 향해 상기 콘택 플러그 상부를 완전히 덮지 않도록 연장되어 있는 상전이 기억 소자 구조.

【청구항 5】

제4항에 있어서,

상기 버퍼 절연막의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지는 상전이 기억 소자 구조.

【청구항 6】

제5항에 있어서,

상기 하부 절연막은 실리콘 산화막을 포함하고, 상기 버퍼 절연막은 실리콘 질화막을 포함하고, 상기 상전이 물질막은 GST막을 포함하는 상전이 기억 소자 구조.

【청구항 7】

제1항에 있어서,

상기 버퍼 절연막 패턴의 측벽 및 여기에 접하는 상기 상전이 물질막 패턴 사이에 측벽 스페이서가 개재하는 상전이 기억 소자 구조.

【청구항 8】

제7항에 있어서,

상기 버퍼 절연막 및 상기 스페이서의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지는 상전이 기억 소자 구조.

【청구항 9】

제8항에 있어서,

상기 하부 절연막은 실리콘 산화막을 포함하고, 상기 버퍼 절연막 및 스페이서는 실리콘 질화막을 포함하고, 상기 상전이 물질막은 GST막을 포함하는 상전이 기억 소자 구조.

【청구항 10】

제4항에 있어서,

상기 버퍼 절연막 패턴의 측벽 및 여기에 접하는 상기 상전이 물질막 패턴 사이에 측벽 스페이서가 개재하는 상전이 기억 소자 구조.

【청구항 11】

제1항에 있어서,

상기 상부전극 및 상전이 물질막 패턴을 덮도록 상기 버퍼 절연막 패턴 상에 배치된 상부 절연막과;

상기 상부 절연막을 뚫고 상기 상부전극에 접촉하는 콘택 플러그와;

상기 콘택 플러그 및 상기 상부 절연막 상에 배치된 금속 배선을 더 포함하는 상전이 기억 소자 구조.

【청구항 12】

절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과;

상기 하부전극 및 상기 절연막 상에 배치된 하부 절연막과;

상기 하부 절연막 상에 배치된 버퍼 절연막과;

상기 버퍼 절연막 및 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와;

상기 버퍼 절연막 및 상기 히터 플러그 상에 배치된 상전이 물질막 패턴과;

상기 상전이 물질막 상에 배치된 상부전극을 포함하는 상전이 기억 소자 구조.

【청구항 13】

절연막을 사이에 두고 반도체 기판의 불순물 확산영역에 전기적으로 연결된 하부전극과;

상기 하부전극 및 상기 절연막 상에 배치된 하부 절연막과;

상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그와;

상기 버퍼 절연막 상에 배치되고 상기 히터 플러그 중심을 향해 연장하여, 상기 히터 플러그 상부 표면 일부를 노출시키는 개구부를 한정하는 버퍼 절연막 패턴과;

상기 개구부를 채우며 상기 버퍼 절연막 상에 배치된 상전이 물질막 패턴과;

상기 상전이 물질막 패턴 상에 배치된 상부전극을 포함하는 상전이 기억 소자 구조

【청구항 14】

제13항에 있어서,

상기 버퍼 절연막의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지는 상전이 기억 소자 구조.

【청구항 15】

제13항에 있어서,

상기 하부 절연막은 실리콘 산화막을 포함하고, 상기 버퍼 절연막은 실리콘 질화막을 포함하고, 상기 상전이 물질막은 GST막을 포함하는 상전이 기억 소자 구조.

【청구항 16】

제13항에 있어서,

상기 개구부를 한정하는 상기 버퍼 절연막 패턴의 측벽 및 상기 노출된 상기 히터 플러그 상부 표면 일부 상에 배치된 스페이서를 더 포함하는 상전이 기억 소자 구조.

【청구항 17】

제14항에 있어서,

상기 스페이서는 상기 버퍼 절연막과 동일한 물질인 상전이 기억 소자 구조.

【청구항 18】

제17항에 있어서,

상기 버퍼 절연막의 열팽창율은 상기 하부 절연막 및 상기 상전이 물질막의 열팽창율 사이의 값을 가지는 상전이 기억 소자 구조.

【청구항 19】

제13항에 있어서,

상기 상부전극 및 상전이 물질막 패턴을 덮도록 상기 버퍼 절연막 패턴 상에 배치된 상부 절연막과;

상기 상부 절연막을 뚫고 상기 상부전극에 접촉하는 콘택 플러그와;

상기 콘택 플러그 및 상기 상부 절연막 상에 배치된 금속 배선을 더 포함하는 상전이 기억 소자 구조.

【청구항 20】

반도체 기판 상에 절연막을 사이에 두고 상기 반도체 기판의 불순물 확산영역에 전기적으로 연결되는 하부전극을 형성하는 단계와;

상기 절연막 및 상기 하부전극 상에 하부 절연막을 형성하는 단계와;

상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그를 형성하는 단계와;

상기 하부 절연막 상에 상기 히터 플러그 상부 표면을 노출시키는 버퍼 절연막 패턴을 형성하는 단계와;

상기 버퍼 절연막 패턴 및 상기 노출된 히터 플러그 상부 표면에 상전이 물질막 패턴 및 상부전극을 차례로 형성하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 21】

제20항에 있어서,

상기 버퍼 절연막 패턴을 형성하는 단계는,

상기 히터 플러그 상에 버퍼 절연막을 형성하는 단계와;

상기 버퍼 절연막 상에 감광성 물질막 패턴을 형성하는 단계와;

상기 감광성 물질막 패턴을 식각 마크로 사용하여 노출된 버퍼 절연막을 식각하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 22】

제21항에 있어서,

상기 감광성 물질막 패턴에 의해 한정된 개구부의 직경은 상기 히터 플러그 직경보다 작아 상기 버퍼 절연막 패턴이 상기 히터 플러그 상부 가장자리에서 중심부를 향해 연장하여 상기 히터 플러그 상부 표면 일부를 노출시키는 상전이 기억 소자 제조 방법.

【청구항 23】

제21항 또는 제22항에 있어서,

상기 버퍼 절연막 패턴 측벽에 스페이서를 형성하는 단계를 더 포함하는 상전이 기억 소자 제조 방법.

【청구항 24】

제23항에 있어서,

상기 스페이서를 형성하는 단계는,

상기 버퍼 절연막 패턴 및 이것에 의해 노출된 상기 히터 플러그 상부 표면상에 스페이서 절연막을 형성하는 단계와;

상기 스페이서 절연막을 에치백하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 25】

제20항 내지 제22항 중 어느 한 항에 있어서,

상기 하부 절연막은 실리콘 산화막으로 형성하고, 상기 버퍼 절연막 및 스페이서는 실리콘 질화막으로 형성하고, 상기 상전이 물질막은 GST로 형성하는 상전이 기억 소자 제조 방법.

【청구항 26】

제20항에 있어서,

상기 상부전극 및 상전이 물질막 패턴을 덮도록 상기 버퍼 절연막 패턴 상에 상부 절연막을 형성하는 단계와;

상기 상부 절연막을 관통하여 상기 상부전극에 접촉하는 콘택 플러그를 형성하는 단계와;

상기 상부 절연막 상에 상기 콘택 플러그에 전기적으로 연결되는 금속 배선을 형성하는 단계를 더 포함하는 상전이 기억 소자 제조 방법.

【청구항 27】

반도체 기판 상에 절연막을 사이에 두고 상기 반도체 기판의 불순물 확산영역에 전기적으로 연결되는 하부전극을 형성하는 단계와;

상기 절연막 및 상기 하부전극 상에 하부 절연막을 형성하는 단계와;

상기 하부 절연막을 관통하여 상기 하부전극에 접촉하는 히터 플러그를 형성하는 단계와;

상기 히터 플러그 및 상기 하부 절연막 상에 버퍼 절연막을 형성하는 단계와;

상기 버퍼 절연막을 패터닝하여 상기 히터 플러그 상부 표면 일부를 노출시키는 버퍼 절연막 패턴을 형성하는 단계와;

상기 버퍼 절연막 패턴 및 상기 노출된 히터 플러그 상부 표면 일부 상에 상전이 물질막 패턴 및 상부전극을 차례로 형성하는 단계와;

상기 상전이 물질막 패턴 및 상부전극을 덮도록 상기 버퍼 절연막 패턴 상에 상부 절연막을 형성하는 단계와;

상기 상부 절연막을 관통하여 상기 상부전극에 접촉하는 콘택 플러그를 형성하는 단계와;

상부 절연막 상에 상기 콘택 플러그에 전기적으로 연결되는 금속 배선을 형성하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 28】

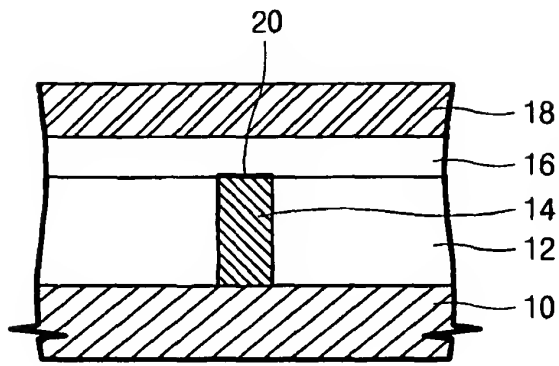
제27항에 있어서,

상기 하부 절연막은 실리콘 산화막으로 형성하고, 상기 버퍼 절연막 및 스페이서는 실리콘 질화막으로 형성하고, 상기 상전이 물질막은 GST로 형성하는 상전이 기억 소자 제조 방법.

【도면】

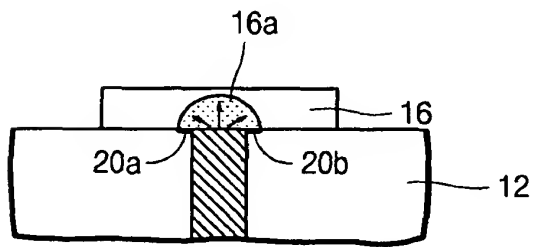
【도 1a】

(종래기술)

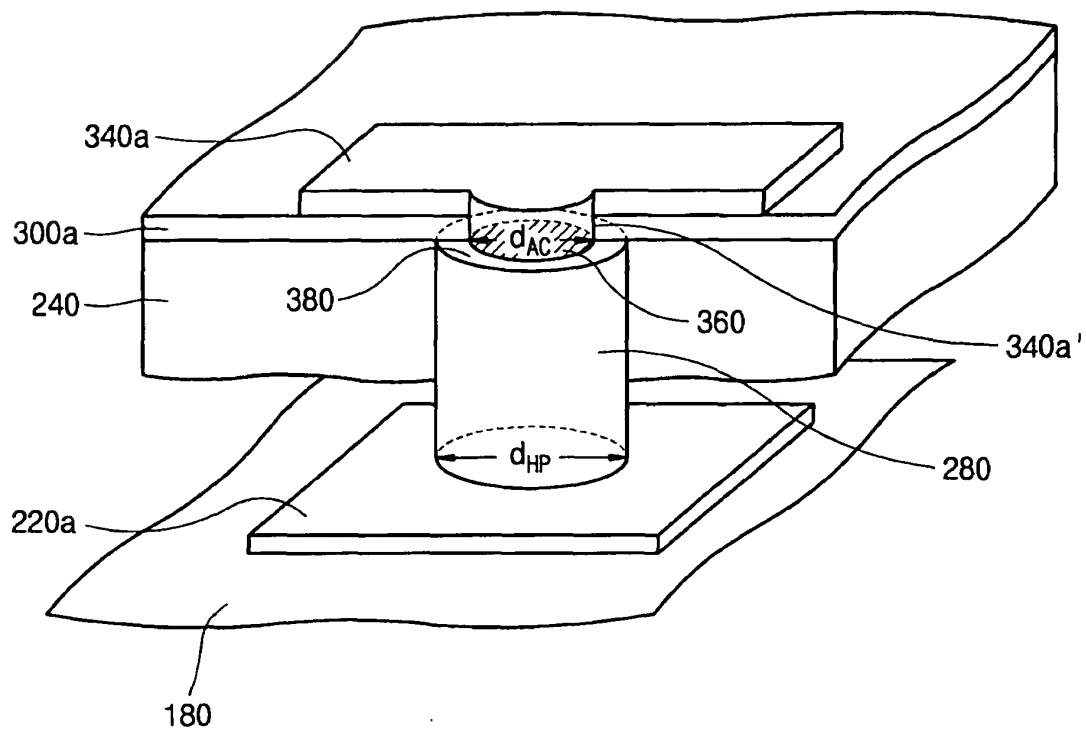


【도 1b】

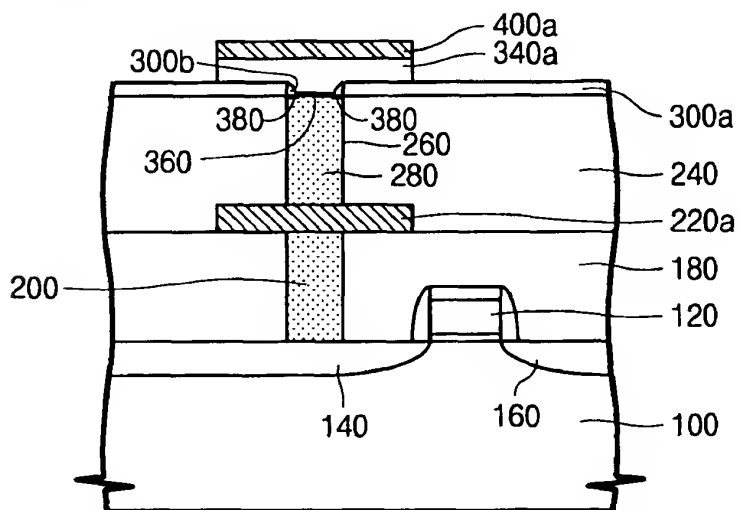
(종래기술)



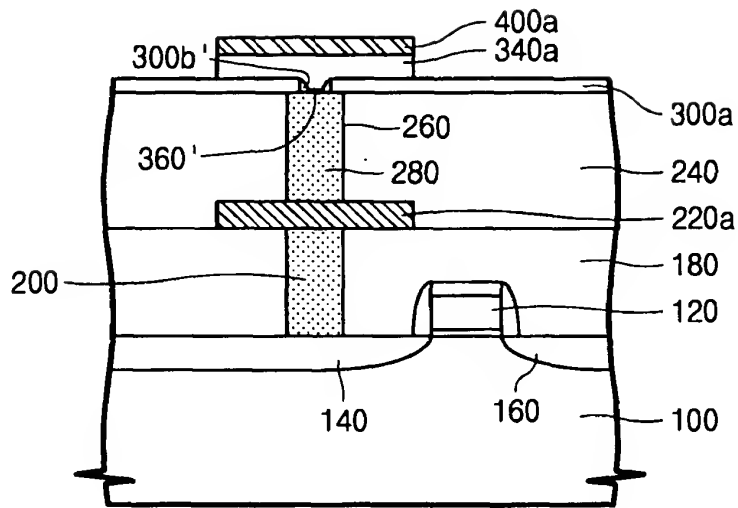
【도 2a】



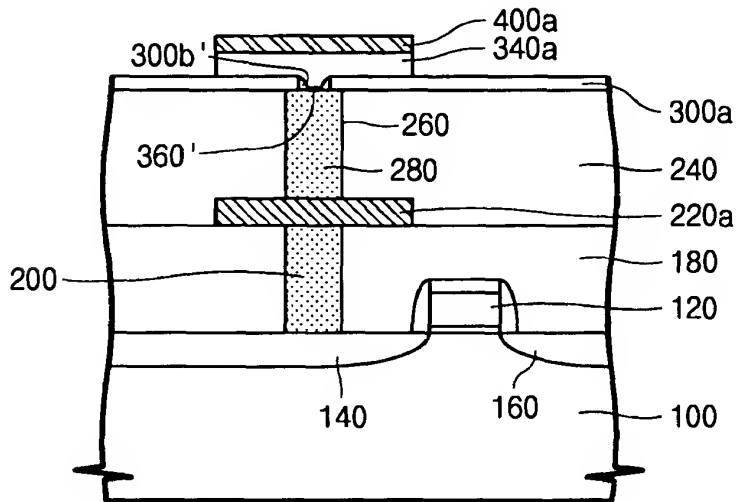
【도 2b】



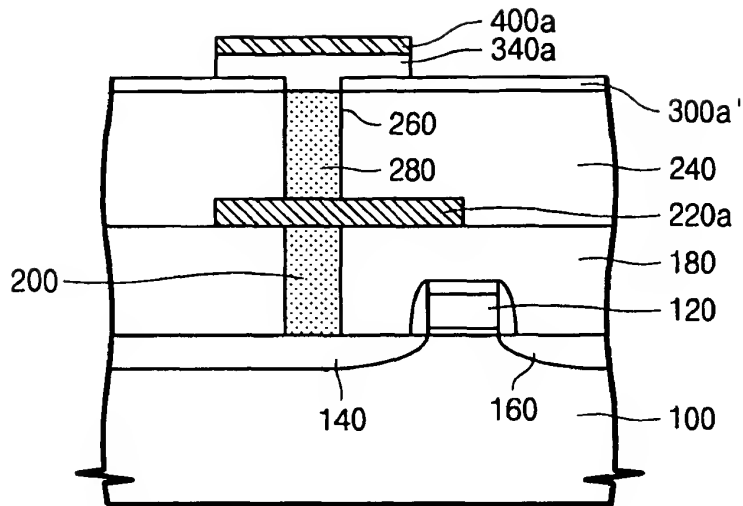
【도 3】



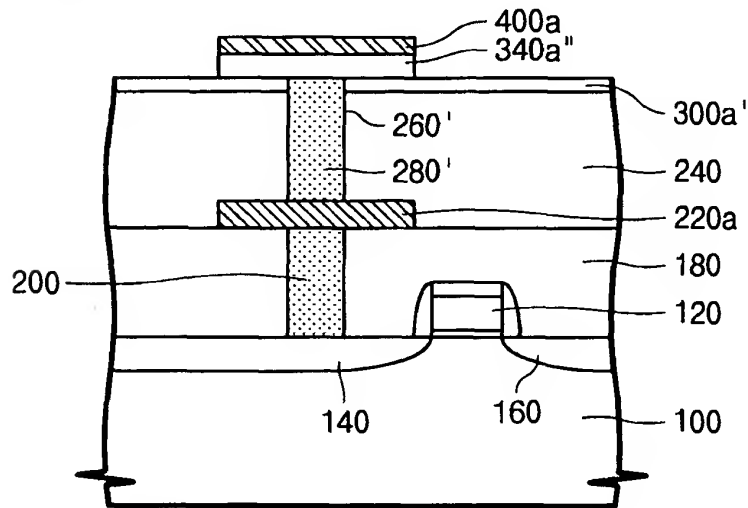
【도 4】



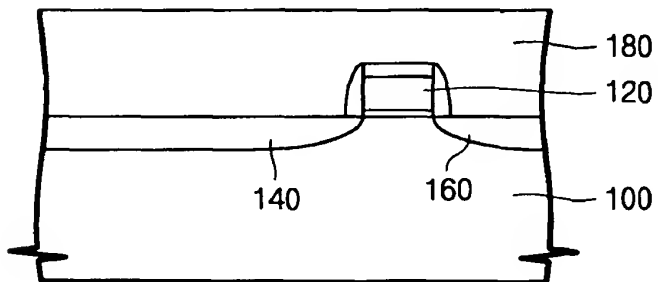
【도 5】



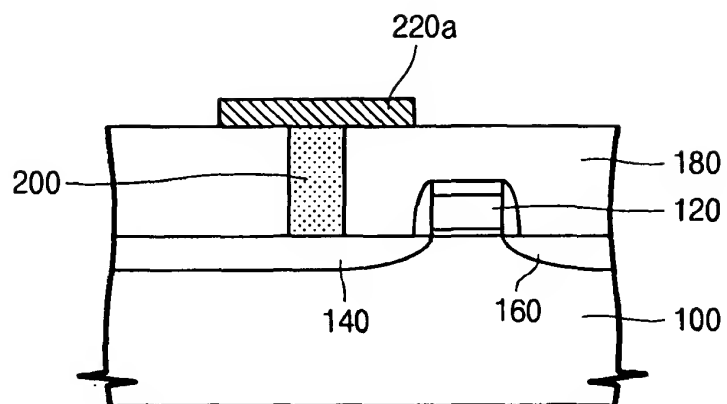
【도 6】



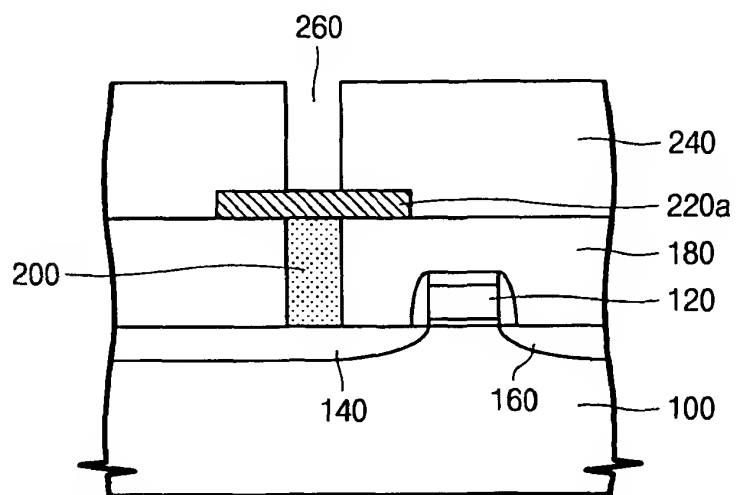
【도 7a】



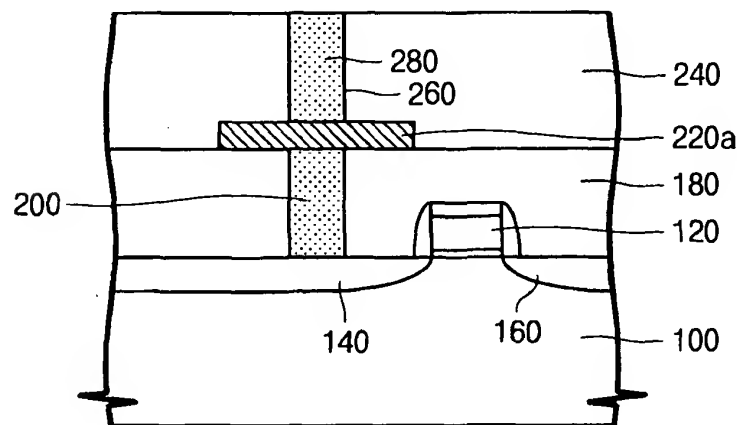
【도 7b】



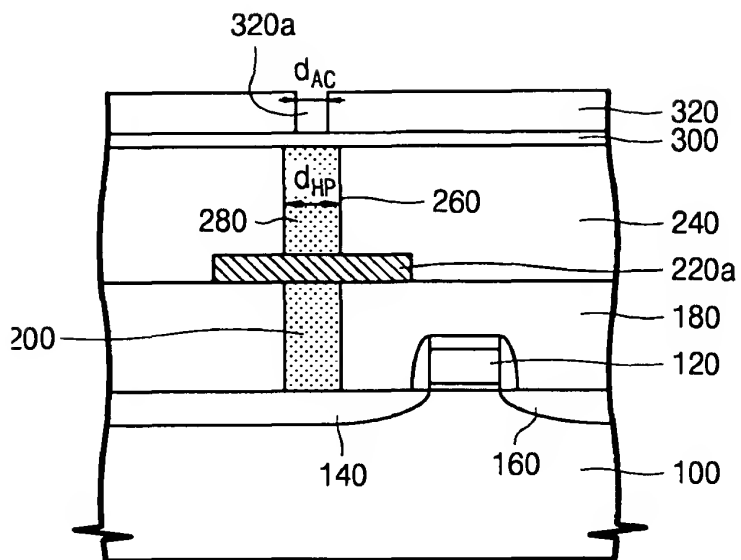
【도 7c】



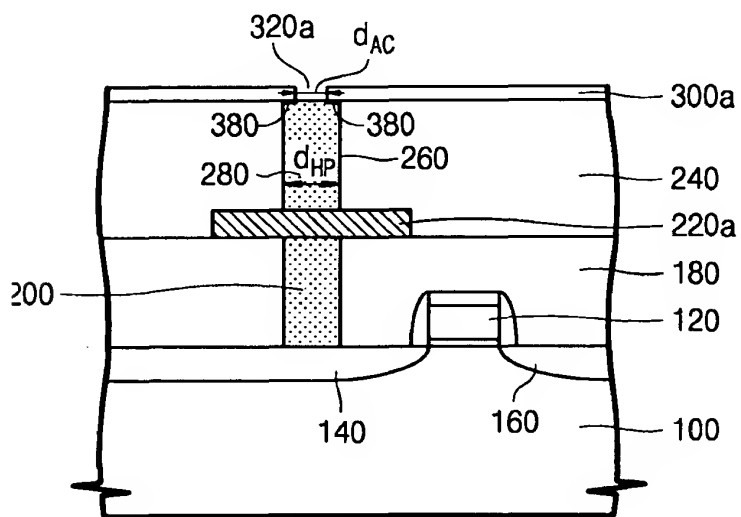
【도 7d】



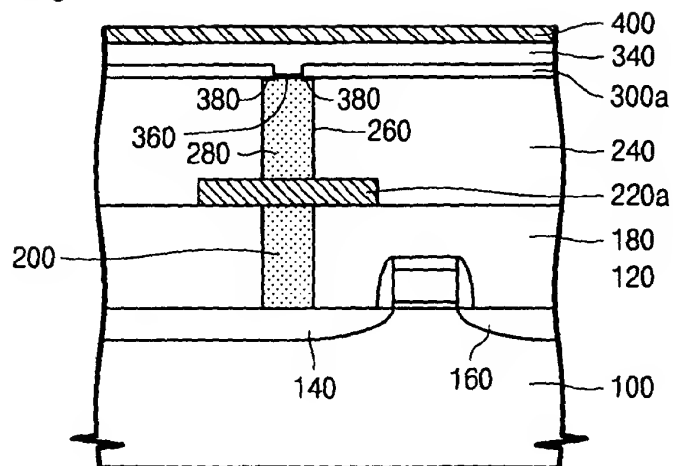
【도 7e】



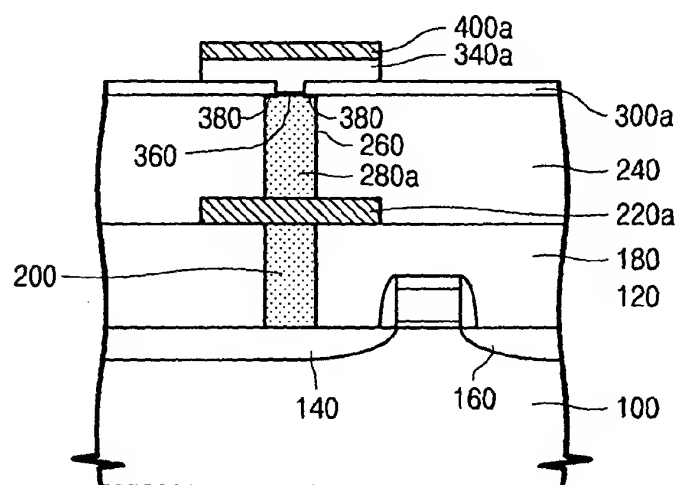
【도 7f】



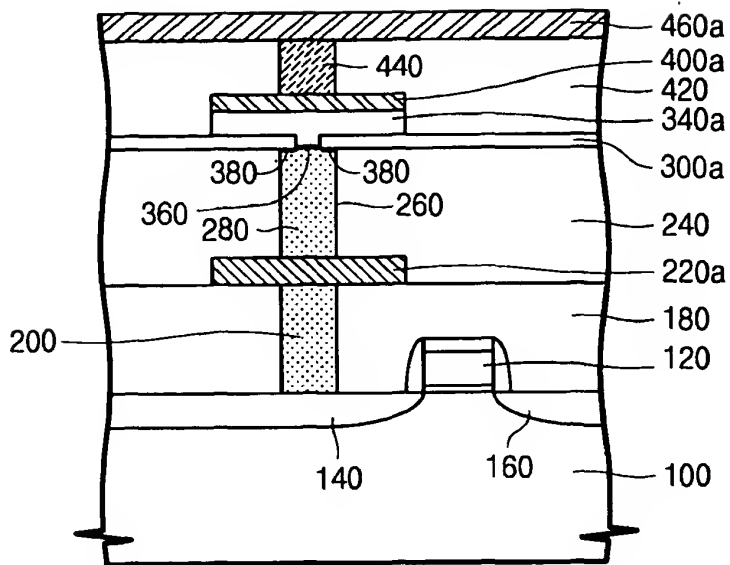
【도 7g】



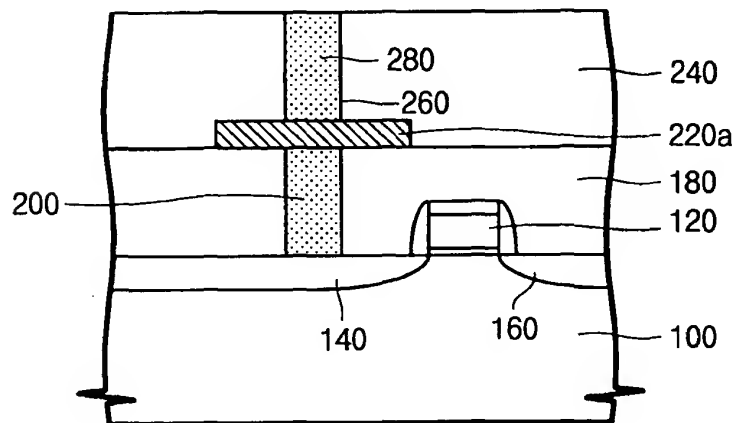
【도 7h】



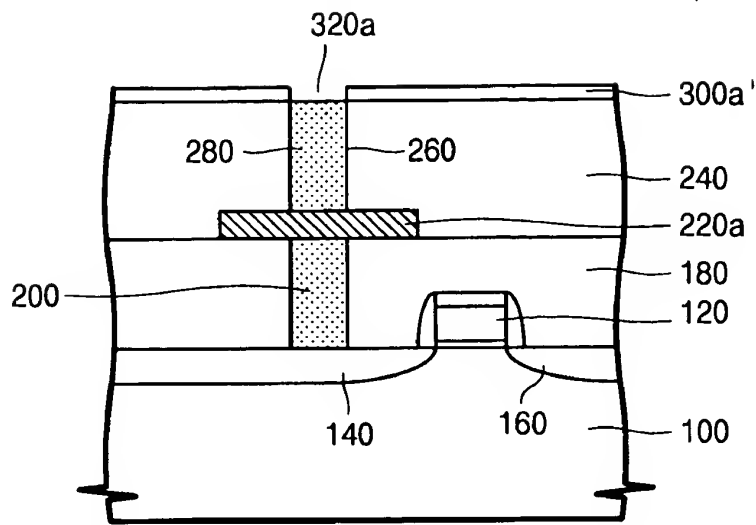
【도 7i】



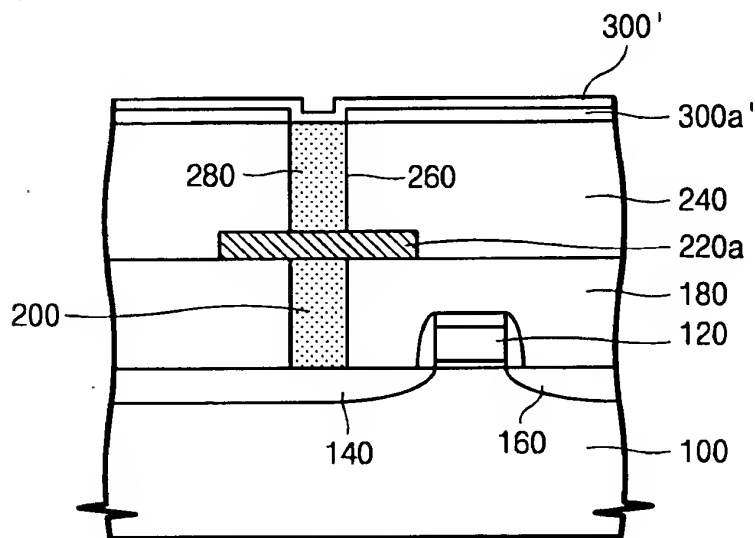
【도 8a】



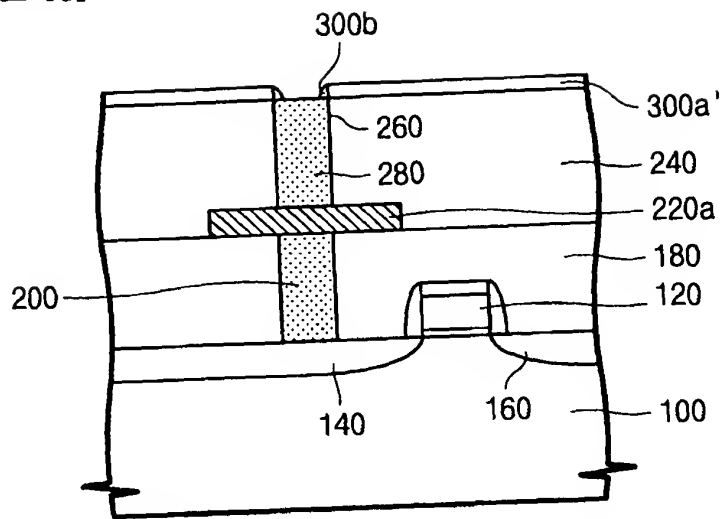
【도 8b】



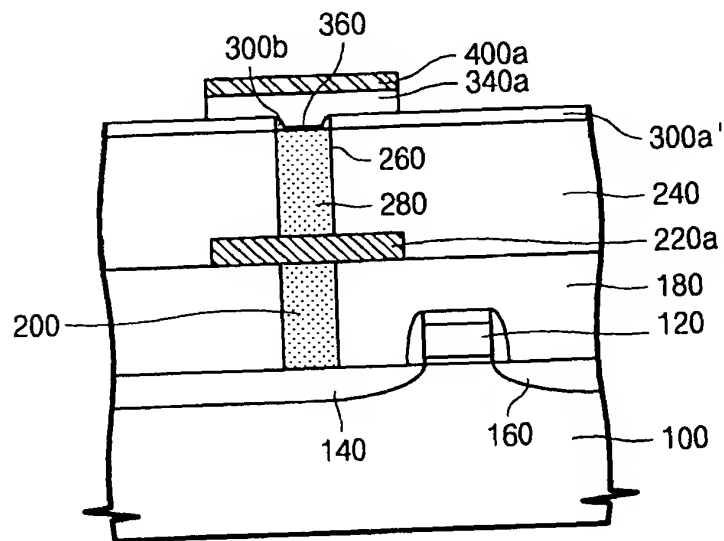
【도 8c】



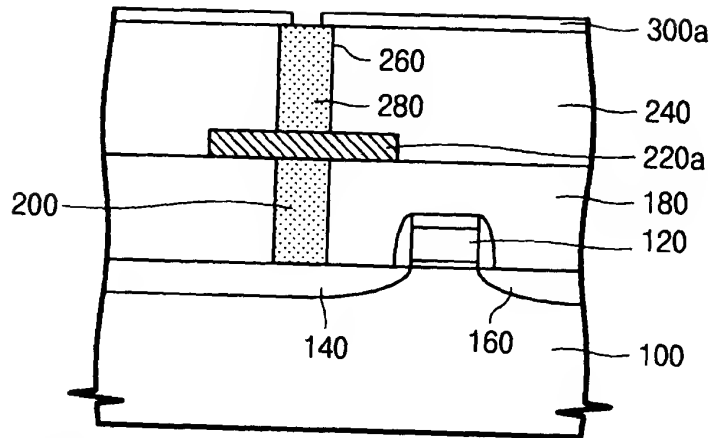
【도 8d】



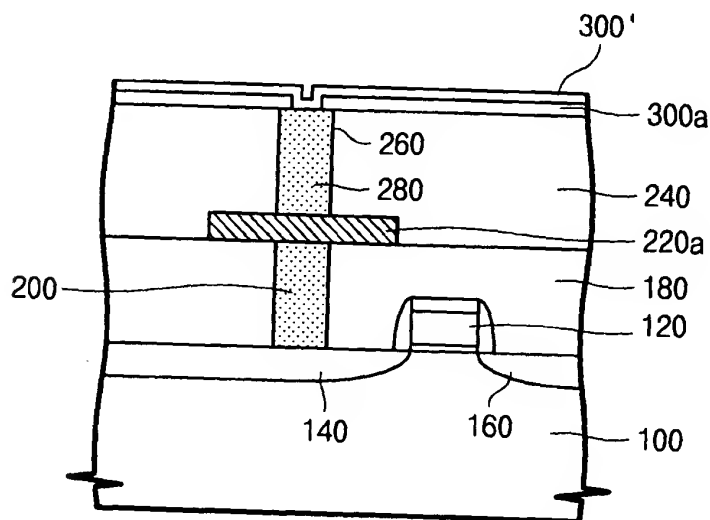
【도 8e】



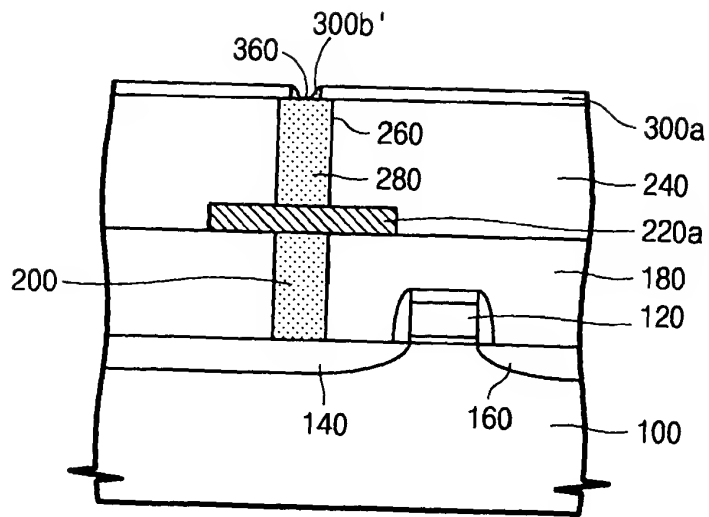
【도 9a】



【도 9b】



【도 9c】



【도 9d】

